

(1) Japanese Patent Application Laid-Open No. 2002-149739 “PARASITIC CAPACITANCE EXTRACTING DEVICE AND PARASITIC CAPACITANCE EXTRACTING METHOD FOR SEMICONDUCTOR CIRCUIT”

5 The following is English translation of an extract from the above-identified document relevant to the present application.

 The present invention includes the steps of: calculating the density of interconnect lines in a layout of a semiconductor circuit layout; comparing the density of interconnect lines with that of dummy interconnect lines provided in an
10 interconnect line region of the semiconductor circuit to judge whether or not the interconnect line region in which the interconnect line density has been calculated is an interconnect line region in which the dummy interconnect lines are to be provided; with respect to the interconnect line region which has been judged that the dummy interconnect lines are to be provided therein, estimating a circuit layout for the case
15 where the dummy interconnect lines are provided; and extracting parasitic capacitances from the semiconductor circuit layout including the estimated circuit layout.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-149739
(P2002-149739A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 6 F 17/50	6 6 6	G 0 6 F 17/50	6 6 6 L 5 B 0 4 6
H 0 1 L 21/82		H 0 1 L 21/82	W 5 F 0 3 8
27/04			C 5 F 0 6 4
21/822		27/04	D

審査請求 未請求 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2000-342134(P2000-342134)

(22) 出願日 平成12年11月9日 (2000.11.9)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 田中 玄一

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

Fターム(参考) 5B046 AA08 JA01

5F038 CD05 CD10 CD13 EZ11 EZ20

5F064 EE02 EE03 EE15 EE19 EE43

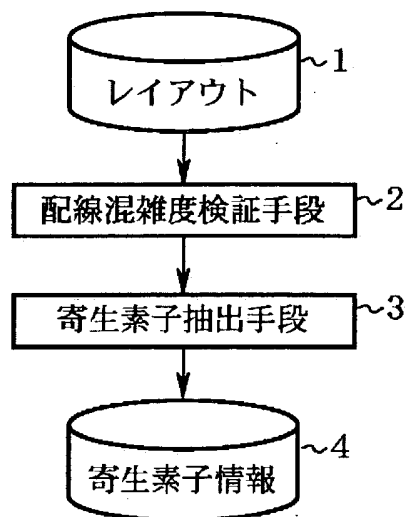
GG10 HH06

(54) 【発明の名称】 半導体回路の寄生素子抽出装置及び寄生素子抽出方法

(57) 【要約】

【課題】 製造工程において挿入されるフィルメタルの影響を考慮していないため、フィルメタルと実配線との間に生じる寄生素子によって半導体回路が所望の動作をしないことがあるという課題があった。

【解決手段】 半導体回路レイアウトの配線混雑度を算出し、この配線混雑度と半導体回路の配線領域にダミー配線が配置される配線混雑度とを比較して、配線混雑度を算出した配線領域が、ダミー配線が配置される配線領域であるか否かを判定し、ダミー配線が配置されると判定された配線領域に対して、ダミー配線が配置された場合の回路レイアウトを想定し、この想定された回路レイアウトを含む半導体回路レイアウトから寄生素子を抽出する。



【特許請求の範囲】

【請求項1】 半導体回路レイアウトの配線領域に配置された配線数とこの配線領域に配置可能な配線数とに基づいて配線混雑度を算出する配線混雑度算出手段と、
ダミー配線が配置される配線混雑度が予め設定されており、この予め設定された配線混雑度と上記配線混雑度算出手段が半導体回路の配線領域から算出した配線混雑度とを比較して、上記配線混雑度算出手段が配線混雑度を算出した上記配線領域が、ダミー配線が配置される配線領域であるか否かを判定するダミー配線領域判定手段と、

上記配線混雑度に応じてダミー配線の追加量が予め設定されており、ダミー配線が配置されると判定された配線領域に対して、上記予め設定されたダミー配線の追加量に基づいてダミー配線が配置された場合の回路レイアウトを想定するダミー配線想定手段と、

このダミー配線装置手段が想定した回路レイアウトを含む半導体回路レイアウトから寄生素子を抽出する寄生素子抽出手段とを備えた半導体回路の寄生素子抽出装置。

【請求項2】 寄生素子抽出手段は、配線容量及び／またはインダクタンスを半導体回路の寄生素子として抽出し、想定したダミー配線が配置された場合の回路レイアウトに応じて上記配線容量については実際の回路レイアウトより多く抽出し、上記インダクタンスについては実際の回路レイアウトより少なく抽出することを特徴とする請求項1記載の半導体回路の寄生素子抽出装置。

【請求項3】 ダミー配線想定手段は、配線領域における配線存在領域と配線可能領域とに基づいて上記配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、配線混雑度に応じたダミー配線の追加量として予め設定された上記配線領域の配線存在確率に基づいて、上記配線領域に配置される全ての配線に均等な割合で隣接配線存在確率を増加させた回路レイアウトを想定することを特徴とする請求項1記載の半導体回路の寄生素子抽出装置。

【請求項4】 ダミー配線想定手段は、配線領域における配線存在領域と配線可能領域とに基づいて上記配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、配線混雑度に応じたダミー配線の追加量として予め設定された上記配線領域の配線存在確率に基づいて、上記配線領域に配置された全ての配線で一定の上記隣接配線存在確率とした回路レイアウトを想定することを特徴とする請求項1記載の半導体回路の寄生素子抽出装置。

【請求項5】 半導体回路の配線領域に配置された配線数とこの配線領域に配置可能な配線数とに基づいて配線混雑度を算出する配線混雑度算出工程と、

この配線混雑度算出工程で算出された配線混雑度と半導体回路の配線領域にダミー配線が配置される配線混雑度とを比較して、上記配線混雑度算出工程で配線混雑度を算出された上記配線領域が、ダミー配線が配置される配

線領域であるか否かを判定するダミー配線領域判定工程と、

このダミー配線領域判定工程でダミー配線が配置されると判定された配線領域に対して、予め配線混雑度に応じて設定しておいたダミー配線の追加量に基づいてダミー配線が配置された場合の回路レイアウトを想定するダミー配線想定工程と、

このダミー配線装置工程で想定した回路レイアウトを含む半導体回路レイアウトから寄生素子を抽出する寄生素子抽出工程とを備えた半導体回路の寄生素子抽出方法。

【請求項6】 寄生素子抽出工程にて、配線容量及び／またはインダクタンスを半導体回路の寄生素子として抽出し、想定したダミー配線が配置された場合の回路レイアウトに応じて上記配線容量については実際の回路レイアウトより多く抽出し、上記インダクタンスについては実際の回路レイアウトより少なく抽出することを特徴とする請求項5記載の半導体回路の寄生素子抽出方法。

【請求項7】 ダミー配線想定工程にて、配線領域における配線存在領域と配線可能領域とに基づいて上記配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、ダミー配線の追加量として予め設定された上記配線領域の配線存在確率に基づいて、上記配線領域に配置される全ての配線に均等な割合で隣接配線存在確率を増加させた回路レイアウトを想定することを特徴とする請求項5記載の半導体回路の寄生素子抽出方法。

【請求項8】 ダミー配線想定工程にて、配線領域における配線存在領域と配線可能領域とに基づいて上記配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、ダミー配線の追加量として予め設定された上記配線領域の配線存在確率に基づいて、上記配線領域に配置された全ての配線で一定の上記隣接配線存在確率とした回路レイアウトを想定することを特徴とする請求項5記載の半導体回路の寄生素子抽出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体回路設計における自動配置配線時に生じる寄生素子を抽出する寄生素子抽出装置に係り、特にCMP (Chemical Mechanical Polishing) のためにダミー配線（以下、フィルメタル (Filimetal) と称する）が配置されることが予想される配線混雑度の低い配線領域に対してフィルメタルが配置された場合を想定した寄生素子の抽出を行うことができる半導体回路の寄生素子抽出装置及び寄生素子抽出方法に関するものである。

【0002】

【従来の技術】 近年の半導体装置の高密度化、高集積化の要望に伴って、製造工程においてより微細なパターンの形成が求められている。一般的に、高密度化、高集積化された半導体装置は、基板上に配線を絶縁膜によって

分離した層を複数設けた多層配線構造を有していることが多い。このような半導体装置を構成する配線層は上記製造工程における露光工程において各々が微細にパターニングされている。このとき、パターンのマスクを設置する基板表面に凹凸があつて平坦度が低いと、露光工程の解像度が落ちて微細なパターンが形成できないという不具合が生じる。

【0003】そこで、CMP (Chemical Mechanical Polishing) などを用いて基板表面の平坦化処理が行われる。このCMPは半導体装置の基板上のグローバルな凹凸を除去する一般的な方法で、定盤上においた研磨布に研磨剤を流しながら基板を擦り合わせることで上記基板表面を研磨する。上述した多層配線構造の半導体装置では、下層の配線層にCMPによる平坦化処理を行ったあとに上層の配線層に係る露光工程を行うことで、各配線層に微細な配線パターンを形成することができる。

【0004】しかしながら、CMPにおいてもある配線層で配線の混雑度の差が大きい場合、完全に基板表面を平坦化処理をすることができない。そこで、配線層における配線の混雑度の差を軽減するために、配線混雑度が低い配線領域にダミー配線であるフィルメタルを挿入して配線混雑度の平均化を図っている。なお、配線混雑度とは概略配線された半導体回路レイアウトの単位格子当たりの必要配線本数を配置可能な配線本数で除したもので定義される。上記単位格子として、例えば配線ピッチの10倍長の辺を有する正方形を定義すると、この正方形には配線が10本配置することが可能で、このとき配線混雑度は100%であるとする。

【0005】また、高集積化された半導体回路内の素子は、個別素子と異なり、他の集積素子から電気的に分離するために分離領域で囲まれており、さらに、回路を構成するために薄膜配線で接続されている。このような半導体回路の分離領域や薄膜配線には、これらに付随するように配線容量やインダクタンスなどの寄生素子が形成される。

【0006】そこで、設計段階において自動配置配線された半導体回路の性能を決定するためには、上述した寄生素子を考慮する必要がある。図10は上述したような自動配置配線された半導体回路のレイアウトから寄生素子を抽出する従来の寄生素子抽出装置の構成を概略的に示すブロック図である。図において、100は自動配置配線などで形成された半導体回路のレイアウトで、101はレイアウト100の回路における寄生素子を抽出する寄生素子抽出手段である。この寄生素子抽出手段101は半導体回路レイアウトを作成する際に使用したデータなどから該レイアウトの寄生素子を抽出するプログラムをコンピュータなどに実行させることで具現化される。102は寄生素子抽出手段101がレイアウト100から抽出した寄生素子に係る寄生素子情報である。

【0007】次に動作について説明する。寄生素子抽出手段101は、自動配置配線された半導体回路のレイアウト100を受けると、レイアウト100を作成する際に使用したデータからレイアウト100におけるピンの存在場所、ピン同士の接続に用いられる配線経路、レイヤ、ビアなどの半導体回路を構成する各構成要素の位置を求める。続いて、寄生素子抽出手段101は、求めた各構成要素の位置関係や寸法から各構成要素に付随する寄生素子として配線容量やインダクタンスなどを抽出する。

【0008】寄生素子抽出手段101によって抽出された寄生素子は、これが付随する半導体回路の構成要素に関連づけられて寄生素子情報102として出力される。この寄生素子情報102は、レイアウト100による半導体回路の性能を決定する際に用いたり、寄生素子の影響が軽減されるように設計を変更する際のデータとして用いることもできる。

【0009】

【発明が解決しようとする課題】従来の半導体回路の寄生素子抽出装置は以上のように構成されているので、自動配置配線された半導体回路のレイアウト100から寄生素子を抽出することはできるが、製造工程において挿入されるフィルメタルの影響を考慮していないため、フィルメタルと実配線との間に生じる寄生素子によって半導体回路が所望の動作をしないことがあるという課題があった。

【0010】上記課題を具体的に説明する。例えば、CMPを行うために配線混雑度の低い配線領域にダミー配線であるフィルメタルが配置されると、フィルメタルと実配線との間における隣接配線間容量(寄生素子)が増加し、これによって実配線における遅延が増加して半導体回路が所望の速度で動作しない。このように、フィルメタルが挿入されることによって寄生素子情報102による寄生素子の見積もりと実際の半導体回路における寄生素子とで差異が生じ、作成された半導体回路が所望の性能を有さないことがあった。

【0011】この発明は上記のような課題を解決するためになされたもので、半導体回路のレイアウトの寄生素子抽出において、フィルメタルが配置されることが予想される配線混雑度の低い半導体回路の配線領域に対してフィルメタルが配置された場合を想定した寄生素子の抽出をすることができる半導体回路の寄生素子抽出装置及び寄生素子抽出方法を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係る半導体回路の寄生素子抽出装置は、半導体回路レイアウトの配線領域に配置された配線数とこの配線領域に配置可能な配線数とに基づいて配線混雑度を算出する配線混雑度算出手段と、ダミー配線が配置される配線混雑度が予め設定されており、この予め設定された配線混雑度と配線混雑

度算出手段が半導体回路の配線領域から算出した配線混雑度とを比較して、配線混雑度算出手段が配線混雑度を算出した配線領域が、ダミー配線が配置される配線領域であるか否かを判定するダミー配線領域判定手段と、配線混雑度に応じてダミー配線の追加量が予め設定されており、ダミー配線が配置されると判定された配線領域に対して、予め設定されたダミー配線の追加量に基づいてダミー配線が配置された場合の回路レイアウトを想定するダミー配線想定手段と、このダミー配線装置手段が想定した回路レイアウトを含む半導体回路レイアウトから寄生素子を抽出する寄生素子抽出手段とを備えるものである。

【0013】この発明に係る半導体回路の寄生素子抽出装置は、寄生素子抽出手段が、配線容量及び／またはインダクタンスを半導体回路の寄生素子として抽出し、想定したダミー配線が配置された場合の回路レイアウトに応じて配線容量については実際の回路レイアウトより多く抽出し、インダクタンスについては実際の回路レイアウトより少なく抽出するものである。

【0014】この発明に係る半導体回路の寄生素子抽出装置は、ダミー配線想定手段が配線領域における配線存在領域と配線可能領域とに基づいて配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、配線混雑度に応じたダミー配線の追加量として予め設定された配線領域の配線存在確率に基づいて、配線領域に配置される全ての配線に均等な割合で隣接配線存在確率を増加させた回路レイアウトを想定するものである。

【0015】この発明に係る半導体回路の寄生素子抽出装置は、ダミー配線想定手段が配線領域における配線存在領域と配線可能領域とに基づいて配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、配線混雑度に応じたダミー配線の追加量として予め設定された配線領域の配線存在確率に基づいて、配線領域に配置された全ての配線で一定の隣接配線存在確率とした回路レイアウトを想定するものである。

【0016】この発明に係る半導体回路の寄生素子抽出方法は、半導体回路レイアウトの配線領域に配置された配線数とこの配線領域に配置可能な配線数とに基づいて配線混雑度を算出する配線混雑度算出工程と、この配線混雑度算出工程で算出された配線混雑度と半導体回路の配線領域にダミー配線が配置される配線混雑度とを比較して、配線混雑度算出工程で配線混雑度を算出された配線領域が、ダミー配線が配置される配線領域であるか否かを判定するダミー配線領域判定工程と、このダミー配線領域判定工程でダミー配線が配置されると判定された配線領域に対して、予め配線混雑度に応じて設定しておいたダミー配線の追加量に基づいてダミー配線が配置された場合の回路レイアウトを想定するダミー配線想定工程と、このダミー配線装置工程で想定した回路レイアウトを含む半導体レイアウトから寄生素子を抽出する寄生

素子抽出工程とを備えるものである。

【0017】この発明に係る半導体回路の寄生素子抽出方法は、寄生素子抽出工程にて、配線容量及び／またはインダクタンスを半導体回路の寄生素子として抽出し、想定したダミー配線が配置された場合の回路レイアウトに応じて配線容量については実際の回路レイアウトより多く抽出し、インダクタンスについては実際の回路レイアウトより少なく抽出するものである。

【0018】この発明に係る半導体回路の寄生素子抽出方法は、ダミー配線想定工程にて、配線領域における配線存在領域と配線可能領域とに基づいて配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、ダミー配線の追加量として予め設定された配線領域の配線存在確率に基づいて、配線領域に配置される全ての配線に均等な割合で隣接配線存在確率を増加させた回路レイアウトを想定するものである。

【0019】この発明に係る半導体回路の寄生素子抽出方法は、ダミー配線想定工程にて、配線領域における配線存在領域と配線可能領域とに基づいて配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、ダミー配線の追加量として予め設定された配線領域の配線存在確率に基づいて、配線領域に配置された全ての配線で一定の隣接配線存在確率とした回路レイアウトを想定するものである。

【0020】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1による半導体回路の寄生素子抽出装置の構成を示すブロック図である。図において、1は自動配置配線などの設計手段で形成された半導体回路のレイアウト（半導体回路レイアウト）で、2はレイアウト1における配線領域の配線混雑度を算出し、この配線混雑度からフィルメタルが挿入された場合の回路レイアウトを想定する配線混雑度検証手段（配線混雑度算出手段、ダミー配線領域判定手段、ダミー配線装置手段）である。この配線混雑度検証手段2にはフィルメタルが挿入される配線混雑度が予め設定されており、この予め設定された配線混雑度とレイアウト1の複数の配線領域から算出した配線混雑度とを比較して、レイアウト1の配線領域の中からフィルメタルの挿入対象の配線領域を判定する。3は配線混雑度検証手段2が設定した回路レイアウトに基づいてレイアウト1の回路における寄生素子を抽出する寄生素子抽出手段である。上述した配線混雑度検証手段2や寄生素子抽出手段3は、後述する実施の形態1による寄生素子抽出装置の動作をプログラム化してコンピュータなどに実行させることで具現化することができる。4は寄生素子抽出手段3がレイアウト1から抽出した寄生素子に係る寄生素子情報である。

【0021】図2は実施の形態1による寄生素子抽出装

置が寄生素子を抽出する半導体回路のレイアウトを模式的に示す図である。図において、5は配線混雑度の低い配線領域、6は配線混雑度が高い配線領域、7は配線混雑度が中程度の配線領域である。配線混雑度は、上述したように半導体回路レイアウト1の単位格子当たりの必要配線本数を配置可能な配線本数で除したもので定義される。また、この実施の形態1において配線混雑度の大きさは、例えば50%以下で低い、80%程度が中、100%程度が高いとする。さらに、配線領域5、6、7の大きさは、フィルメタルの挿入決定時のサイズに準拠する（例えば、 $100\mu\text{m} \times 100\mu\text{m}$ などのサイズとする）。なお、図1と同一構成要素には同一符号を付して重複する説明を省略する。

【0022】図3は実施の形態1による寄生素子抽出装置の配線混雑度検証手段の具体的な構成を示すブロック図である。図において、8は追加隣接配線存在確率計算手段（ダミー配線想定手段）で、配線混雑度検証手段2の構成要素の1つであり、フィルメタルが挿入されるものと判定された配線領域における配線存在領域と配線可能領域とに基づいて、この配線領域における配線存在確率と各配線の隣接配線存在確率とを算出し、これに基づいてフィルメタルの挿入によって変化することが予想される回路レイアウトを想定する。なお、図1と同一構成要素には同一符号を付して重複する説明を省略する。

【0023】次に動作について説明する。図4は実施の形態1による寄生素子抽出装置の動作を示すフロー図であり、このフローに沿って動作を説明する。まず、配線混雑度検証手段2が半導体回路のレイアウト1を受けると、予め設定したサイズの単位格子にレイアウト1の配線領域を分割し、それぞれの領域の配線混雑度を算出する（配線混雑度算出工程）。このように複数の配線領域に分割されたものが図2に示すレイアウト1であり、配線混雑度50%以下の配線領域5、配線混雑度100%程度の配線領域6、配線混雑度80%程度の配線領域7などがある。

【0024】このあと、配線混雑度検証手段2は、上記配線領域5、6、7の配線混雑度と予め設定されているフィルメタルを挿入すべき配線混雑度とを比較して、フィルメタルが挿入される配線領域を判定する（ダミー配線領域判定工程）。この実施の形態1では、例えば配線混雑度が60%以下の場合、フィルメタルが挿入されるものとする。従って、配線混雑度検証手段2は配線領域5をフィルメタルが挿入される領域と判定する。ここまでの動作が図4におけるステップST1に相当する。

【0025】次に、配線混雑度検証手段2は、フィルメタルが挿入される領域と判定された配線領域5に対して、フィルメタルが挿入された場合の回路レイアウトを想定する（ステップST2、ダミー配線想定工程）。この実施の形態1では、配線混雑度検証手段2を構成する追加隣接配線存在確率計算手段8が、フィルメタルが挿

入される領域と判定された配線領域5の回路レイアウトを示す指標として、配線領域5における配線存在領域面積を配線可能領域面積で除して配線領域5の配線存在確率を算出し、さらに配線領域5内の任意の配線に注目して、この配線の周りの配線存在確率を隣接配線存在確率として算出する。このあと、追加隣接配線存在確率計算手段8は、フィルメタルの挿入によって増加する配線領域5の配線存在確率に応じて配線領域5に配置される全ての配線に均等な割合で隣接配線存在確率を増加させることで、フィルメタルが挿入された場合の回路レイアウトを想定する。

【0026】例えば、配線領域5内の全ての配線が同一の配線幅、配線間隔であるものと仮定すると、配線領域5における配線存在確率が10%、ある配線の隣接配線存在確率が20%であるとき、この配線領域5にフィルメタルを挿入して配線存在確率を40%まで上げるプロセス仕様が追加隣接配線存在確率計算手段8に設定されていたとすると、フィルメタル挿入後の隣接配線存在確率は80%と換算される。この場合、隣接配線存在確率20%からフィルメタルの挿入で隣接配線存在確率が80%になることから、追加隣接配線存在確率計算手段8は配線領域5内の隣接する配線が存在しない配線セグメントに均等に上記隣接配線存在確率を求める基準となる配線の3/5の長さを有するフィルメタルの仮定の配線セグメントを追加して、フィルメタルが挿入された場合の回路レイアウトを想定する。

【0027】上記動作について具体例を挙げて説明する。図5は実施の形態1による寄生素子抽出装置のフィルメタルが挿入された場合の回路レイアウトを想定する動作を説明する説明図である。図において、9a、9bは配線領域5内の隣接配線存在確率を求める基準となった配線である。この配線9aは隣接して自己の1/5の長さを有する配線10a、10bが存在することから隣接配線存在確率が20%である。また、配線9bは隣接して自己の2/5の長さを有する配線10cと自己の1/5の長さを有する配線10dとが存在することから隣接配線存在確率が30%である。11a~11dは隣接配線存在確率の増加に応じて追加される仮定のフィルメタル配線である。但し、配線9a、9b、10a~10d、11a~11dは、同一の配線幅、配線間隔であるものとする。

【0028】例えば、追加隣接配線存在確率計算手段8が、予め配線混雑度に応じて設定されたフィルメタルの追加量に基づいて、配線9aの隣接配線存在確率を20%からフィルメタルの挿入で隣接配線存在確率が80%にしたとする。このとき、図5に示すように、配線9aの3/5の長さを有するフィルメタルの仮定の配線セグメント11a、11bが隣接する配線10a、10bに追加される。つまり、隣接配線10a、10bに対して、これらの3倍の長さを有するフィルメタルの仮定の

配線セグメント11a, 11bが追加される。これによって、配線9aに隣接する配線10a, 10bのフィルムタルを想定した長さが、それぞれ配線9aの長さの4/5となり、配線9aの隣接配線存在確率が80%となる。

【0029】また、この実施の形態1における追加隣接配線存在確率計算手段8は、配線領域5に配置される全ての配線に均等な割合で隣接配線存在確率を増加させることから、配線9bの隣接配線10c, 10dに対しても配線9aの場合と同様に、これらの3倍の長さを有するフィルムタルの仮定の配線セグメント11c, 11dが追加される。これによって、配線9bに隣接する配線10c, 10dのフィルムタルを想定した長さが、配線9bの長さのそれぞれ8/5, 4/5となり、配線9bの隣接配線存在確率が140%となる。ここで、隣接配線存在確率が100%を超えることは現実上あり得ないので、このような場合は隣接配線存在確率が100%となるようにフィルムタルの仮定の配線セグメント長を決定する。このため、図5の例では、隣接配線存在確率が100%を超えないように、隣接配線10cとフィルムタルの配線セグメント11cとの長さが配線9bと等しい長さになっている。このようにして、追加隣接配線存在確率計算手段8によって配線領域5に対するフィルムタルが挿入された場合の回路レイアウトが想定される。

【0030】上述のようにして、配線領域5に対するフィルムタルが挿入された場合の回路レイアウトが想定されると、寄生素子抽出手段3がレイアウト1から寄生素子を抽出する(ステップST3、寄生素子抽出工程)。このとき、配線領域5については、フィルムタルが挿入された場合の回路レイアウトに基づいて寄生素子抽出が行われる。

【0031】例えば、寄生素子として配線容量を抽出する場合、配線領域5については、ステップST2で求めたフィルムタルが挿入された場合の回路レイアウトに基づいて寄生素子抽出手段3が配線領域5のピンの存在場所、ピン同士の接続に用いられる配線経路、レイヤ、ビアなどの半導体回路を構成する各構成要素の位置を求める。続いて、求めた各構成要素の位置関係や寸法から各構成要素に付随する配線容量を実際のレイアウトよりも多めに抽出する。

【0032】また、寄生素子としてインダクタンスを抽出する場合、配線領域5については、ステップST2で求めたフィルムタルが挿入された場合の回路レイアウトに基づいて寄生素子抽出手段3が配線領域5のピンの存在場所、ピン同士の接続に用いられる配線経路、レイヤ、ビアなどの半導体回路を構成する各構成要素の位置を求めてリターンパスを仮定し、インダクタンスを実際のレイアウトよりも少なめに抽出する。

【0033】寄生素子抽出手段3によって抽出された寄生素子は、これが付随する半導体回路の構成要素に関連

づけられて寄生素子情報4として出力される。この寄生素子情報4は、レイアウト1による半導体回路の性能を決定する際に用いたり、寄生素子の影響を軽減されるように設計を変更する際のデータとして用いることもできる。

【0034】以上のように、この実施の形態1によれば、半導体回路のレイアウト1の寄生素子抽出において、フィルムタルが配置されることが予想される配線混雑度の低い配線領域5に対してフィルムタルが配置された場合を想定して寄生素子の抽出を行うので、半導体回路レイアウト1の配線配置時にフィルムタルが挿入されることによる影響を予め考慮することができることから、寄生素子の抽出精度を向上させることができる。

【0035】また、この実施の形態1によれば、配線容量及び/またはインダクタンスを寄生素子として抽出し、想定したフィルムタルが挿入された場合の回路レイアウトに応じて配線容量については実際のレイアウト1より多く抽出し、インダクタンスについては実際のレイアウト1より少なく抽出するので、寄生素子情報4による配線容量及び/またはインダクタンスの見積もりと実際の半導体回路における寄生素子である配線容量及び/またはインダクタンスとの差を低減することができる。

【0036】さらに、この実施の形態1によれば、配線混雑度に応じたフィルムタルの追加量として予め設定された配線存在確率に基づいて、配線領域5に配置される全ての配線に均等な割合で隣接配線存在確率を増加させた回路レイアウトを想定するので、簡単な想定動作でフィルムタルが挿入されることによる影響を予め考慮することができる。

【0037】実施の形態2。図6はこの発明の実施の形態2による半導体回路の寄生素子抽出装置の構成を示すブロック図である。図において、2aはレイアウト1における配線領域の配線混雑度を算出し、この配線混雑度からフィルムタルが挿入された場合の回路レイアウトを想定する配線混雑度検証手段(配線混雑度算出手段、ダミー配線領域判定手段、ダミー配線装置手段)であり、後述する追加隣接配線存在確率計算手段8aを構成要素として有する。この配線混雑度検証手段2aには、上記実施の形態1と同様にフィルムタルが挿入される配線混雑度が予め設定されており、この予め設定された配線混雑度とレイアウト1の複数の配線領域から算出した配線混雑度とを比較して、レイアウト1の配線領域の中からフィルムタルの挿入対象の配線領域を判定する。なお、図1と同一構成要素には同一符号を付して重複する説明を省略する。

【0038】図7は実施の形態2による寄生素子抽出装置の配線混雑度検証手段の具体的な構成を示すブロック図である。図において、8aは追加隣接配線存在確率計算手段(ダミー配線想定手段)で、配線混雑度検証手段2aの構成要素の1つであり、フィルムタルが挿入され

るものと判定された配線領域における配線存在領域と配線可能領域とに基づいて、この配線領域における配線存在確率と各配線の隣接配線存在確率とを算出し、これに基づいてフィルメタルの挿入によって変化することが予想される回路レイアウトを想定する。なお、図6と同一構成要素には同一符号を付して重複する説明を省略する。

【0039】次に動作について説明する。図8は実施の形態2による寄生素子抽出装置の動作を示すフロー図であり、このフローに沿って動作を説明する。ステップST1における配線混雑度検証動作は、上記実施の形態1と同様であるので重複する説明を省略する。この実施の形態2による寄生素子抽出装置は、フィルメタルが挿入される領域と判定された配線混雑度の低い配線領域に対する回路レイアウトの想定動作が上記実施の形態1と異なる。そこで、以降の説明では図2で示した配線混雑度の低い配線領域5について上記実施の形態1と同様にフィルメタルが挿入された場合の回路レイアウトを想定する動作を説明する。先ず、実施の形態2では、配線混雑度検証手段2aを構成する追加隣接配線存在確率計算手段8aが、フィルメタルが挿入される領域と判定された配線領域5の回路レイアウトを示す指標として、配線領域5における配線存在領域面積を配線可能領域面積で除して配線領域5の配線存在確率を算出し、さらに配線領域5内の任意の配線に注目して、この配線の周りの配線存在確率を隣接配線存在確率として算出する。

【0040】このあと、追加隣接配線存在確率計算手段8aは、配線混雑度に応じたフィルメタルの挿入量として配線存在確率が予め設定されており、この予め設定された配線存在確率に基づいて配線領域5に配置された全ての配線で一定の隣接配線存在確率となるようにすることで、フィルメタルが挿入された場合の回路レイアウトを想定する(ステップST2-1、ダミー配線想定工程)。

【0041】例えば、配線領域5内の全ての配線が同一の配線幅、配線間隔であるものと仮定すると、配線領域5における配線存在確率が10%、ある配線の隣接配線存在確率が20%であるとき、この配線領域5にフィルメタルを挿入して配線存在確率を40%まで上げるプロセス仕様が追加隣接配線存在確率計算手段8に設定されていたとすると、フィルメタル挿入後の隣接配線存在確率は80%と換算される。この場合、配線領域5内の隣接配線存在確率が80%を越えない配線に対しては、一律80%の隣接配線存在確率となるように仮定してフィルメタルが挿入された場合の回路レイアウトを想定する。

【0042】上記動作について具体例を挙げて説明する。図9は実施の形態2による寄生素子抽出装置のフィルメタルが挿入された場合の回路レイアウトを想定する動作を説明する説明図である。図において、9A、9B

は配線領域5内の隣接配線存在確率を求める基準となった配線である。この配線9Aは隣接して自己の1/5の長さを有する配線10A、10Bが存在することから隣接配線存在確率が20%である。また、配線9Bは隣接して自己の4/5の長さを有する配線10Cと自己の1/5の長さを有する配線10Dとが存在し、隣接配線10C側で隣接配線存在確率が80%、隣接配線10D側で隣接配線存在確率が20%である。11A~11Cは隣接配線存在確率の増加に応じて追加される仮想のフィルメタル配線である。但し、配線9A、9B、10A~10D、11A~11Cは、同一の配線幅、配線間隔であるものとする。

【0043】例えば、追加隣接配線存在確率計算手段8aが、予め配線混雑度に応じて設定されたフィルメタルの追加量に基づいて、配線領域5内の配線の隣接配線存在確率をフィルメタルの挿入で一律80%にしたとする。このとき、図9に示すように、配線9Aの3/5の長さを有するフィルメタルの仮想の配線セグメント11A、11Bが隣接する配線10A、10Bに追加される。つまり、隣接配線10A、10Bに対して、これらの3倍の長さを有するフィルメタルの仮想の配線セグメント11A、11Bが追加される。これによって、配線9Aに隣接する配線10A、10Bのフィルメタルを想定した長さが、それぞれ配線9Aの長さの4/5となり、配線9Aの隣接配線存在確率が80%となる。

【0044】また、配線9Bについては、配線9Bの3/5の長さを有するフィルメタルの仮想の配線セグメント11Cを隣接する配線10Dに追加することで、隣接配線10D側で隣接配線存在確率が80%となるが、隣接配線10Cは配線9Bの4/5の長さを有しており、すでに隣接配線存在確率が80%であることからフィルメタルの仮想の配線セグメントは追加されない。このようにして、追加隣接配線存在確率計算手段8aによって配線領域5に対するフィルメタルが挿入された場合の回路レイアウトが想定される。

【0045】上述のようにして、配線領域5に対するフィルメタルが挿入された場合の回路レイアウトが想定されてからの寄生素子抽出手段3による寄生素子抽出動作は、上記実施の形態1と同様である。例えば、寄生素子として配線容量を抽出する場合、配線領域5については、ステップST2-1で求めたフィルメタルが挿入された場合の回路レイアウトに基づいて寄生素子抽出手段3が配線領域5のピンの存在場所、ピン同士の接続に用いられる配線経路、レイヤ、ビアなどの半導体回路を構成する各構成要素の位置を求める。続いて、求めた各構成要素の位置関係や寸法から各構成要素に付随する配線容量を実際のレイアウトより多めに抽出する。

【0046】また、寄生素子としてインダクタンスを抽出する場合、配線領域5については、ステップST2-1で求めたフィルメタルが挿入された場合の回路レイ

ウトに基づいて寄生素子抽出手段3が配線領域5のピンの存在場所、ピン同士の接続に用いられる配線経路、レイヤ、ビアなどの半導体回路を構成する各構成要素の位置を求めてリターンパスを仮定し、インダクタンスを実際のレイアウトより少なめに抽出する。

【0047】寄生素子抽出手段3によって抽出された寄生素子は、これが付随する半導体回路の構成要素に関連づけられて寄生素子情報4として出力される。この寄生素子情報4は、レイアウト1による半導体回路の性能を決定する際に用いたり、寄生素子の影響を軽減されるように設計を変更する際のデータとして用いることもできる。

【0048】以上のように、この実施の形態2によれば、配線混雑度に応じたフィルメタルの追加量として予め設定された配線存在確率に基づいて、配線領域5に配置された全ての配線で一定の隣接配線存在確率として寄生素子の抽出を行うので、簡単な想定動作でフィルメタルが挿入されることによる影響を予め考慮することができる。

【0049】

【発明の効果】以上のように、この発明によれば、半導体回路レイアウトの配線領域に配置された配線数とこの配線領域に配置可能な配線数とに基づいて配線混雑度を算出し、この配線混雑度と半導体回路の配線領域にダミー配線が配置される配線混雑度とを比較して、配線混雑度を算出した配線領域が、ダミー配線が配置される配線領域であるか否かを判定し、ダミー配線が配置されると判定された配線領域に対して、予め配線混雑度に応じて設定しておいたダミー配線の追加量に基づいてダミー配線が配置された場合の回路レイアウトを想定し、この想定された回路レイアウトを含む半導体回路レイアウトから寄生素子を抽出するので、半導体回路レイアウトの配線配置時にダミー配線が配置されることによる影響を予め考慮することができることから、寄生素子の抽出精度を向上させることができるという効果がある。

【0050】この発明によれば、配線容量及び／またはインダクタンスを半導体回路の寄生素子として抽出し、想定したダミー配線が配置された場合の回路レイアウトに応じて配線容量については実際の回路レイアウトより多く抽出し、インダクタンスについては実際の回路レイアウトより少なく抽出するので、実際の半導体回路における寄生素子である配線容量及び／またはインダクタンスと、抽出した配線容量及び／またはインダクタンスとの差異を低減することができるという効果がある。

【0051】この発明によれば、配線領域における配線存在領域と配線可能領域とに基づいて配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、ダミー配線の追加量として予め設定された配線領域の配線存在確率に基づいて、配線領域に配置される全ての配線に均

等な割合で隣接配線存在確率を増加させた回路レイアウトを想定するので、簡単な想定動作でダミー配線が配置されることによる影響を予め考慮することができるという効果がある。

【0052】この発明によれば、配線領域における配線存在領域と配線可能領域とに基づいて配線領域の配線存在確率と各配線の隣接配線存在確率とを算出し、ダミー配線の追加量として予め設定された配線領域の配線存在確率に基づいて、配線領域に配置された全ての配線で一定の隣接配線存在確率とした回路レイアウトを想定するので、簡単な想定動作でダミー配線が配置されることによる影響を予め考慮することができるという効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体回路の寄生素子抽出装置の構成を示すブロック図である。

【図2】 実施の形態1による寄生素子抽出装置が寄生素子を抽出する半導体回路のレイアウトを模式的に示す図である。

20 【図3】 実施の形態1による寄生素子抽出装置の配線混雑度検証手段の具体的な構成を示すブロック図である。

【図4】 実施の形態1による寄生素子抽出装置の動作を示すフロー図である。

【図5】 実施の形態1による寄生素子抽出装置のフィルメタルが挿入された場合の回路レイアウトを想定する動作を説明する説明図である。

【図6】 この発明の実施の形態2による半導体回路の寄生素子抽出装置の構成を示すブロック図である。

30 【図7】 実施の形態2による寄生素子抽出装置の配線混雑度検証手段の具体的な構成を示すブロック図である。

【図8】 実施の形態2による寄生素子抽出装置の動作を示すフロー図である。

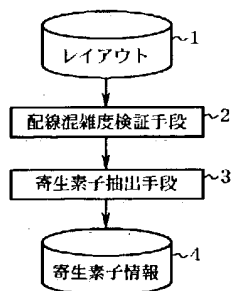
【図9】 実施の形態2による寄生素子抽出装置のフィルメタルが挿入された場合の回路レイアウトを想定する動作を説明する説明図である。

【図10】 従来の寄生素子抽出装置の構成を概略的に示すブロック図である。

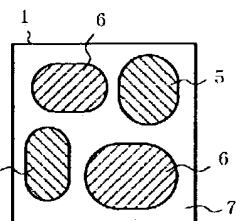
40 【符号の説明】

1 レイアウト（半導体回路レイアウト）、2、2a 配線混雑度検証手段（配線混雑度算出手段、ダミー配線領域判定手段、ダミー配線装置手段）、3 寄生素子抽出手段、4 寄生素子情報、5、6、7 配線領域、8、8a 追加隣接配線存在確率計算手段（ダミー配線想定手段）、9a、9b、9A、9B 配線、10a、10b、10c、10d、10A、10B、10C、10D 隣接配線、11a、11b、11c、11d、11A、11B、11C フィルメタル配線。

【図1】

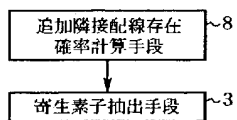


【図2】



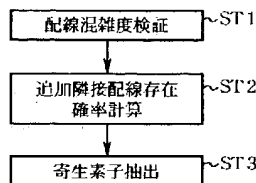
【図7】

【図3】

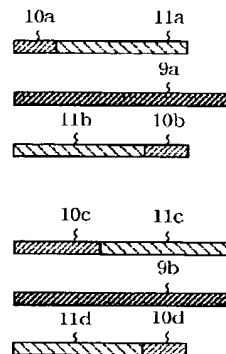


【図8】

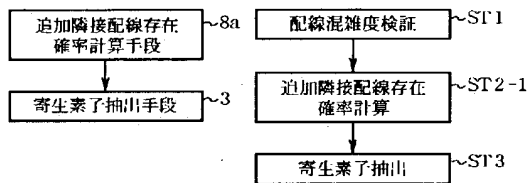
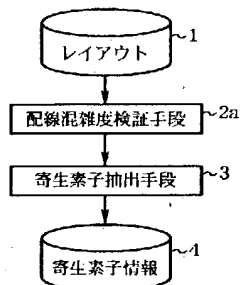
【図4】



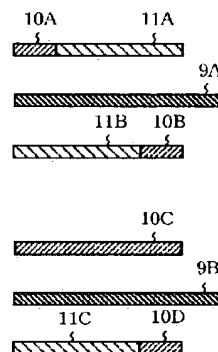
【図5】



【図6】



【図9】



【図10】

